

TIEMPOS DE EJECUCIÓN DE CADA INSTRUCCIÓN



En este apéndice...

Introducción	C-2
Tiempos de ejecución de cada instrucción	C-3

Introducción

Este apéndice contiene varias tablas que entregan los tiempos de ejecución de las instrucciones en los PLCs DL06. Muchos de los tiempos de ejecución dependen del tipo de datos usados con la instrucción. Las memorias se pueden clasificar en los tipos siguientes:

- Memorias de datos (palabra).
- Memorias de bits.

Memorias de datos o Memoria V

Algunas direcciones de memoria se consideran registros de datos, tales como valores corrientes de temporizadores o contadores. La memoria normal de usuario se clasifica como registro de datos. Note que se puede cargar una configuración de bits en estos tipos de memoria, aunque su uso primario es para registros de datos. Las direcciones siguientes son registros de datos:

Registros de datos	DL06
Valores corrientes de temporizadores	V0 - V377
Valores corrientes de contadores	V1000 - V1177
Palabras de datos del usuario	V400 - V677 V1200 - V7377 V10000 - V17777

Memorias de bits

Recuerde que algunos de los puntos discretos tales como X, Y, C, etc. están relacionados automáticamente en la memoria V. Los bits siguientes contienen estos datos:

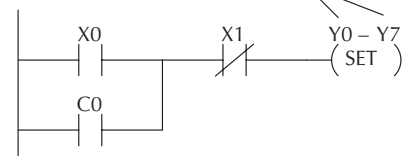
Registros de bits	DL06
Puntos de entradas (X)	V40400 - V40437
Puntos de salidas (Y)	V40500 - V40537
Relevadores de control (C)	V40600 - V40677
Etapas (S)	V41000 - V41077
Bits de estado de temporizadores	V41100 - V41177
Bits de estado de contadores	V41140 - V41147
Relevadores especiales (SP)	V41200 - V41237

Cómo leer las tablas

Algunas instrucciones pueden tener más de un parámetro. Por ejemplo, la instrucción SET mostrada en el programa ladder a la derecha puede configurar un solo punto o un rango de puntos.

En estos casos, los tiempos de ejecución dependen de la cantidad y del tipo de parámetros. Las tablas de tiempo de ejecución enumeran los tiempos de ejecución para ambas situaciones, según lo mostrado abajo:

Dos localizaciones de datos disponibles



SET	1er #: X, Y, C, S	9.2 μ s
	2ndo #: X, Y, C, S (N puntos)	9.6 μ s + 0.9 μ s x N
RST	1er #: X, Y, C, S	9.2 μ s
	2ndo #: X, Y, C, S (N puntos)	9.6 μ s + 0.9 μ s x N

La ejecución depende de la cantidad de localizaciones y tipos de datos usados

Tiempos de ejecución de instrucciones

Instrucciones booleanas

Instrucciones booleanas		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
STR	X, Y, C, T, CT, S, SP, GX, GY	0,67 µs	0,00 µs
STRN	X, Y, C, T, CT, S, SP, GX, GY	0,67 µs	0,0 µs
OR	X, Y, C, T, CT, S, SP, GX, GY	0,51 µs	0,51 µs
ORN	X, Y, C, T, CT, S, SP, GX, GY	0,55 µs	0,55 µs
AND	X, Y, C, T, CT, S, SP, GX, GY	0,42 µs	0,42 µs
ANDN	X, Y, C, T, CT, S, SP, GX, GY	0,51 µs	0,51 µs
ANDSTR	Ninguno	0,37 µs	0,37 µs
ORSTR	Ninguno	0,37 µs	0,37 µs
OUT	X, Y, C, GX, GY	1,82 µs	1,82 µs
OROUT	X, Y, C, GX, GY	2,09 µs	2,09 µs
NOT	Ninguno	1,04 µs	1,04 µs
SET	1o. #: X, Y, C, S, 2ndo. #: X, Y, C, S (N pt)	9,2 µs 9,6 µs + 0,9 µs x N	1,0 µs 1,1 µs
RST	1o. #: X, Y, C, S, GX, GY 2ndo. #: X, Y, C, S (N pt), GX, GY	9,2 µs 9,6 µs + 0,9 µs x N	1,0 µs 1,1 µs
	1o. #: T, CT, GX, GY 2ndo. #: T, CT (N pt), GX, GY	25,7 µs 16,8 µs + 2,7 µs x N	1,1 µs 1,4 µs
PAUSE	1o: Y 2ndo: Y (N puntos)	5,6 µs 9,2 µs + 0,3 µs x N	5,4 µs 4,8 µs

C

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
STRE	1o. V Reg Datos.	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,7 µs	27,7 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
	P:Indir. (Bit)	V:Reg Datos	29,9 µs	29,9 µs
V:Reg bits		29,9 µs	29,9 µs	
K:Constante		27,7 µs	27,7 µs	
P:Indir. (Datos)		51,0 µs	51,0 µs	
P:Indir. (Bit)		51,0 µs	51,0 µs	
STRNE	1o. V: Reg Datos.	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos.	30,3 µs	30,3 µs
		V:Reg bits	30,3 µs	30,3 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
	P:Indir. (Bit)	V:Reg Datos.	30,3 µs	30,3 µs
V:Reg bits		30,3 µs	30,3 µs	
K:Constante		27,4 µs	27,4 µs	
P:Indir. (Datos)		51,0 µs	51,0 µs	
P:Indir. (Bit)		51,0 µs	51,0 µs	

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación (cont.)			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
ORE	1o. V Reg Datos	2ndo. V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos	30,3 µs	30,3 µs
		V:Reg bits	30,3 µs	30,3 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	50,4 µs	50,4 µs
		P:Indir. (Bit)	50,4 µs	50,4 µs
	P:Indir. (Bit)	V:Reg Datos	30,3 µs	30,3 µs
V:Reg bits		30,3 µs	30,3 µs	
K:Constante		27,4 µs	27,4 µs	
P:Indir. (Datos)		50,4 µs	50,4 µs	
P:Indir. (Bit)		50,4 µs	50,4 µs	
ORNE	1o. Reg Datos.	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos.	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
	P:Indir. (Bit)	V:Reg Datos.	29,9 µs	29,9 µs
V:Reg bits		29,9 µs	29,9 µs	
K:Constante		27,4 µs	27,4 µs	
P:Indir. (Datos)		51,0 µs	51,0 µs	
P:Indir. (Bit)		51,0 µs	51,0 µs	

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación (cont.)			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
ANDE	1o. V Reg Datos.	2ndo. V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
	P:Indir. (Bit)	V:Reg Datos	29,9 µs	29,9 µs
V:Reg bits		29,9 µs	29,9 µs	
K:Constante		27,4 µs	27,4 µs	
P:Indir. (Datos)		51,0 µs	51,0 µs	
P:Indir. (Bit)		51,0 µs	51,0 µs	
ANDNE	1o. V: Reg Datos.	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos.	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
	P:Indir. (Bit)	V:Reg Datos.	29,9 µs	29,9 µs
V:Reg bits		29,9 µs	29,9 µs	
K:Constante		27,4 µs	27,4 µs	
P:Indir. (Datos)		51,0 µs	51,0 µs	
P:Indir. (Bit)		51,0 µs	51,0 µs	

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
STR	1o. T, CT	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V Reg Datos	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs	
	V:Reg bits	7,6 µs	7,6 µs	
	K:Constante	4,8 µs	4,8 µs	
	P:Indir. (Datos)	30,2 µs	30,2 µs	
	P:Indir. (Bit)	30,2 µs	30,2 µs	
P:Indir. (Datos)	V:Reg Datos.	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	
P:Indir. (Bit)	V:Reg Datos	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	
STRN	1o. T, CT	2ndo.o.. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg Datos.	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
STRN (cont.)	1o. V: Reg bits	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos.	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
P:Indir. (Bit)		51,0 µs	51,0 µs	
P:Indir. (Bit)	V:Reg Datos.	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	

Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
OR	1o. T, CT	2ndo. V Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V Reg Datos.	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
P:Indir. (Bit)	V:Reg Datos	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación (cont.)			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
ORN	1o. T, CT	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg Datos	V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs	
	V:Reg bits	7,6 µs	7,6 µs	
	K:Constante	4,8 µs	4,8 µs	
	P:Indir. (Datos)	30,2 µs	30,2 µs	
	P:Indir. (Bit)	30,2 µs	30,2 µs	
P:Indir. (Datos)	V:Reg Datos.	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	
P:Indir. (Bit)	V:Reg Datos.	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	

C

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación (cont.)		DL06		
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución	
AND	1o. T, CT	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V:Reg Datos.	V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
	P:Indir. (Datos)	V:Reg Datos	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
P:Indir. (Bit)	V:Reg Datos	29,9 µs	29,9 µs	
	V:Reg bits	29,9 µs	29,9 µs	
	K:Constante	27,4 µs	27,4 µs	
	P:Indir. (Datos)	51,0 µs	51,0 µs	
	P:Indir. (Bit)	51,0 µs	51,0 µs	

Instrucciones booleanas de comparación

Instrucciones booleanas de comparación (cont.)			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
ANDN	1o. T, CT	2ndo. V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
V: Reg Datos.	V: Reg Datos.	V:Reg Datos	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
V: Reg bits	V: Reg bits	V:Reg Datos.	7,6 µs	7,6 µs
		V:Reg bits	7,6 µs	7,6 µs
		K:Constante	4,8 µs	4,8 µs
		P:Indir. (Datos)	30,2 µs	30,2 µs
		P:Indir. (Bit)	30,2 µs	30,2 µs
P:Indir. (Datos)	P:Indir. (Datos)	V:Reg Datos.	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs
P:Indir. (Bit)	P:Indir. (Bit)	V:Reg Datos.	29,9 µs	29,9 µs
		V:Reg bits	29,9 µs	29,9 µs
		K:Constante	27,4 µs	27,4 µs
		P:Indir. (Datos)	51,0 µs	51,0 µs
		P:Indir. (Bit)	51,0 µs	51,0 µs

Instrucciones Inmediatas

Instrucciones inmediatas		DL06	
Instrucción	Tipos de de datos	Ejecución	Sin ejecución
LDI	V	20.6 µs	1.1 µs
LDIF	1r. #: Y 2o. #: K Constante	26.6 µs+0.9µs x N	1.4 µs
STRI	X	19.3 µs	19.3 µs
STRNI	X	19.4 µs	19.4 µs
ORI	X	19.1 µs	18.7 µs
ORNI	X	19.2 µs	18.9 µs
ANDI	X	18.7 µs	18.7 µs
ANDNI	X	18.8 µs	18.8 µs
OUTI	Y	25.5 µs	25.5 µs
OROUTI	Y	25.7 µs	25.7 µs
OUTIF	1r. #: Y 2o. #: Y (N pt)	66.1 µs+0.9µs x N	1.4 µs
SETI	1r. #: Y 2o. #: K Constant	23.1 µs, 22.8 µs+1.4µs x N	0.9 µs, 0.9 µs
RSTI	1r. #: Y 2o. #: Y (N pt)	23.2 µs, 22.8 µs+1.4µs x N	0.9 µs, 0.9 µs

Instrucciones booleanas Bit of Word

Instrucciones booleanas Bit of Word		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
STRB	V:Reg Datos.	3,1 µs	3,1 µs
	V:Reg bits	3,1 µs	3,1 µs
	P:Indir. (Datos)	30,0 µs	30,0 µs
	P:Indir. (Bit)	30,0 µs	30,0 µs
STRNB	V:Reg Datos.	3,0 µs	3,0 µs
	V:Reg bits	3,0 µs	3,0 µs
	P:Indir. (Datos)	29,8 µs	29,8 µs
	P:Indir. (Bit)	29,8 µs	29,8 µs
ORB	V:Reg Datos.	2,9 µs	2,9 µs
	V:Reg bits	2,9 µs	2,9 µs
	P:Indir. (Datos)	29,9 µs	29,9 µs
	P:Indir. (Bit)	29,9 µs	29,9 µs
ORNB	V:Reg Datos.	2,8 µs	2,8 µs
	V:Reg bits	2,8 µs	2,8 µs
	P:Indir. (Datos)	29,6 µs	29,6 µs
	P:Indir. (Bit)	29,6 µs	29,6 µs
ANDB	V:Reg Datos	2,8 µs	2,8 µs
	V:Reg bits	2,8 µs	2,8 µs
	P:Indir. (Datos)	29,6 µs	29,6 µs
	P:Indir. (Bit)	29,6 µs	29,6 µs
ANDNB	V:Reg Datos.	2,7 µs	2,7 µs
	V:Reg bits	2,7 µs	2,7 µs
	P:Indir. (Datos)	29,6 µs	29,6 µs
	P:Indir. (Bit)	29,6 µs	29,6 µs
OUTB	V:Reg Datos.	3,1 µs	3,4 µs
	V:Reg bits	3,1 µs	3,4 µs
	P:Indir. (Datos)	30,3 µs	30,7 µs
	P:Indir. (Bit)	30,3 µs	30,7 µs
SETB	V:Reg Datos.	13,4 µs	3,4 µs
	V:Reg bits	13,4 µs	3,4 µs
	P:Indir. (Datos)	41,1 µs	29,1 µs
	P:Indir. (Bit)	41,1 µs	29,1 µs
RSTB	V:Reg Datos.	13,5 µs	1,4 µs
	V:Reg bits	13,5 µs	1,4 µs
	P:Indir. (Datos)	41,3 µs	29,1 µs
	P:Indir. (Bit)	41,3 µs	29,1 µs

Temporizador, Contador y Shift Register

Temporizador, Contador y Shift Register			DL06	
Instrucción	Tipos legales de datos		Ejecución	Sin ejecución
TMR	1o. T	2ndo. V: Reg Datos.	26,8 µs	7,3 µs
		V: Reg bits	26,8 µs	7,3 µs
TMRF	T	K: Constante	20,0 µs	4,8 µs
		P: Indir. (Datos)	45,6 µs	30,2 µs
		P: Indir. (Bit)	45,6 µs	30,2 µs
		V: Reg Datos.	51,4 µs	7,3 µs
		V: Reg bits	51,4 µs	7,3 µs
TMRA	T	K: Constante	48,4 µs	4,6 µs
		P: Indir. (Datos)	75,9 µs	30,2 µs
		P: Indir. (Bit)	75,9 µs	30,2 µs
		V: Reg Datos.	48,9 µs	7,3 µs
		V: Reg bits	48,9 µs	7,3 µs
TMRAF	T	K: Constante	45,0 µs	4,6 µs
		P: Indir. (Datos)	75,9 µs	30,2 µs
		P: Indir. (Bit)	75,9 µs	30,2 µs
		V: Reg Datos.	54,2 µs	7,3 µs
		V: Reg bits	54,2 µs	7,3 µs
CNT	CT	K: Constante	50,3 µs	4,6 µs
		P: Indir. (Datos)	81,2 µs	30,2 µs
		P: Indir. (Bit)	81,2 µs	30,2 µs
		V: Reg Datos.	25,8 µs	7,3 µs
		V: Reg bits	25,8 µs	7,3 µs
SGCNT	CT	K: Constante	22,2 µs	4,6 µs
		P: Indir. (Datos)	53,5 µs	30,2 µs
		P: Indir. (Bit)	53,5 µs	30,2 µs
		V: Reg Datos.	27,3 µs	7,3 µs
		V: Reg bits	27,3 µs	7,3 µs
UDC	CT	K: Constante	23,5 µs	4,6 µs
		P: Indir. (Datos)	54,9 µs	30,2 µs
		P: Indir. (Bit)	54,9 µs	30,2 µs
		V: Reg Datos	39,8 µs	7,3 µs
		V: Reg bits	39,8 µs	7,3 µs
SR	C (N puntos a deslocar)	K: Constante	35,4 µs	4,6 µs
		P: Indir. (Datos)	67,8 µs	30,2 µs
		P: Indir. (Bit)	67,8 µs	30,2 µs
		V: Reg Datos	17,8 µs +	9,8 µs
		V: Reg bits	0,9 µs x N	

Instrucciones de datos de acumulador

Instrucciones datos de acumulador/stack		DL06		
Instrucción	Tipos de datos legales		Ejecución	Sin ejecución
LD	V:Reg Datos.		11,8 µs	1,0 µs
	V:Reg bits		11,8µs	1,0 µs
	K:Constante		9,0 µs	1,0 µs
	P:Indir. (Datos)		33,9 µs	0,9 µs
	P:Indir. (Bit)		33,9 µs	0,9 µs
LDD	V:Reg Datos.		12,2 µs	1,0 µs
	V:Reg bits		12,2 µs	1,0 µs
	K:Constante		9,0 µs	1,0 µs
	P:Indir. (Datos)		37,8 µs	0,9 µs
	P:Indir. (Bit)		37,8 µs	0,9 µs
LDF	1o. X, Y, C, S T, CT, SP	2ndo. K:Constante	20,5 µs+0,9 µs×N	0,9 µs
LDA	O: (Constante octal para dirección)		10,4 µs	1,0 µs
LDR	V:Reg Datos.		29,5 µs	1,0 µs
	V:Reg bits		29,5 µs	1,0 µs
	K:Constante		25,5 µs	1,0 µs
	P:Indir. (Datos)		54,9 µs	1,0 µs
	P:Indir. (Bit)		54,9 µs	1,0 µs
LDSX	K: Constante		14,6 µs	1,0 µs
LDX	V:Reg Datos.		10,8 µs	1,0 µs
	V:Reg bits		10,8 µs	1,0 µs
	P:Indir. (Datos)		45,2 µs	1,0 µs
	P:Indir. (Bit)		45,2 µs	1,0 µs
OUT	V:Reg Datos.		9,3 µs	1,0 µs
	V:Reg bits		9,3 µs	1,0 µs
	P:Indir. (Datos)		35,2 µs	0,9 µs
	P:Indir. (Bit)		35,2 µs	0,9 µs
OUTD	V:Reg Datos.		10,2 µs	1,0 µs
	V:Reg bits		10,2 µs	1,0 µs
	P:Indir. (Datos)		35,8 µs	0,9 µs
	P:Indir. (Bit)		35,8 µs	0,9 µs
OUTF	1o. X, Y, C	2ndo. K:Constante	54 µs+1,0 µs×N	0,9 µs
OUTL	V:Reg Datos.		13,5 µs	1,0 µs
	V:Reg bits		13,5 µs	1,0 µs
OUTM	V:Reg Datos.		13,7 µs	1,0 µs
	V:Reg bits		13,7 µs	1,0 µs
OUTX	V:Reg Datos.		17,2 µs	1,0 µs
	V:Reg bits		17,2 µs	1,0 µs
	P:Indir. (Datos)		43,4 µs	1,0 µs
	P:Indir. (Bit)		43,4 µs	1,0 µs
POP	Ninguno		8,4 µs	1,0 µs

Instrucciones lógicas

Instrucciones lógicas (acumulador)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
AND	V:Reg Datos.	7,9 µs	1,0 µs
	V:Reg bits	7,9 µs	1,0 µs
	P:Indir. (Datos)	33,4 µs	0,9 µs
	P:Indir. (Bit)	33,4 µs	0,9 µs
ANDD	V:Reg Datos.	8,9 µs	1,0 µs
	V:Reg bits	8,9 µs	1,0 µs
	K:Constante	5,7 µs	1,0 µs
	P:Indir. (Datos)	34,4 µs	0,9 µs
	P:Indir. (Bit)	34,4 µs	0,9 µs
ANDF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	21,6 µs + 0,9 µs x N	1,0 µs
ANDS	Ninguno	10,0 µs	1,0 µs
OR	V:Reg Datos	8,1 µs	1,0 µs
	V:Reg bits	8,1 µs	1,0 µs
	P:Indir. (Datos)	33,8 µs	0,9 µs
	P:Indir. (Bit)	33,8 µs	0,9 µs
ORD	V:Reg Datos.	9,0 µs	1,0 µs
	V:Reg bits	9,0 µs	1,0 µs
	K:Constante	5,8 µs	1,0 µs
	P:Indir. (Datos)	34,5 µs	0,9 µs
	P:Indir. (Bit)	34,5 µs	0,9 µs
ORF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	20,9 µs + 0,9 µs x N	1,0 µs
ORS	Ninguno	10,2 µs	1,0 µs
XOR	V:Reg Datos.	8,0 µs	1,0 µs
	V:Reg bits	8,0 µs	1,0 µs
	P:Indir. (Datos)	33,6 µs	0,9 µs
	P:Indir. (Bit)	33,6 µs	0,9 µs
XORD	V:Reg Datos.	9,0 µs	1,0 µs
	V:Reg bits	9,0 µs	1,0 µs
	K:Constante	5,4 µs	1,0 µs
	P:Indir. (Datos)	34,4 µs	0,9 µs
	P:Indir. (Bit)	34,4 µs	0,9 µs
XORF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	20,9 µs + 0,9 µs x N	1,0 µs
XORS	Ninguno	10,1 µs	1,0 µs
CMP	V:Reg Datos.	9,4 µs	1,0 µs
	V:Reg bits	9,4 µs	1,0 µs
	P:Indir. (Datos)	34,9 µs	0,9 µs
	P:Indir. (Bit)	34,9 µs	0,9 µs
CMPD	V:Reg Datos.	9,9 µs	1,0 µs
	V:Reg bits	9,9 µs	1,0 µs
	K:Constante	6,7 µs	1,0 µs
	P:Indir. (Datos)	35,4 µs	1,0 µs
	P:Indir. (Bit)	35,4 µs	1,0 µs

Apéndice C: Tiempos de ejecución de instrucciones

Instrucciones lógicas (Acumulador) (cont.)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
CMPF	1o.: X, Y, C, S T, CT, SP, GX, GY	20,9 μ s + 1,0 μ s x N	1,0 μ s
	2ndo.: K:Constante		
CMPR	V:Reg Datos.	42,8 μ s	1,0 μ s
	V:Reg bits	42,8 μ s	1,0 μ s
	K:Constante	38,4 μ s	1,0 μ s
	P:Indir. (Datos)	69,0 μ s	1,0 μ s
	P:Indir. (Bit)	69,0 μ s	1,0 μ s
CMPS	Ninguno	11,2 μ s	1,0 μ s

Instrucciones aritméticas

Instrucciones aritméticas (Acumulador)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
ADD	V:Reg Datos.	78,4 μ s	0,9 μ s
	V:Reg bits	78,4 μ s	0,9 μ s
	P:Indir. (Datos)	101,2 μ s	0,9 μ s
	P:Indir. (Bit)	101,2 μ s	0,9 μ s
ADDD	V:Reg Datos.	83,3 μ s	0,9 μ s
	V:Reg bits	83,3 μ s	0,9 μ s
	K:Constante	67,7 μ s	0,9 μ s
	P:Indir. (Daa)	101,2 μ s	0,9 μ s
	P:Indir. (Bit)	101,2 μ s	0,9 μ s
SUB	V:Reg Datos.	77,4 μ s	0,9 μ s
	V:Reg bits	77,4 μ s	0,9 μ s
	P:Indir. (Datos)	95,1 μ s	0,9 μ s
	P:Indir. (Bit)	95,1 μ s	0,9 μ s
SUBD	V:Reg Datos.	82,5 μ s	0,9 μ s
	V:Reg bits	82,5 μ s	0,9 μ s
	K:Constante	66,0 μ s	0,9 μ s
	P:Indir. (Datos)	99,7 μ s	0,9 μ s
	P:Indir. (Bit)	99,7 μ s	0,9 μ s
MUL	V:Reg Datos.	266,1 μ s	0,9 μ s
	V:Reg bits	266,1 μ s	0,9 μ s
	K:Constante	286,9 μ s	0,9 μ s
	P:Indir. (Datos)	290,0 μ s	0,9 μ s
	P:Indir. (Bit)	290,0 μ s	0,9 μ s
MULD	V:Reg Datos.	839,1 μ s	0,9 μ s
	V:Reg bits	839,1 μ s	0,9 μ s
	P:Indir. (Datos)	863,1 μ s	0,9 μ s
	P:Indir. (Bit)	863,1 μ s	0,9 μ s
DIV	V:Reg Datos.	363,9 μ s	0,9 μ s
	V:Reg bits	363,9 μ s	0,9 μ s
	K:Constante	384,4 μ s	0,9 μ s
	P:Indir. (Datos)	419,8 μ s	0,9 μ s
	P:Indir. (Bit)	419,8 μ s	0,9 μ s
DIVD	V:Reg Datos.	398,3 μ s	0,9 μ s
	V:Reg bits	398,3 μ s	0,9 μ s
	P:Indir. (Datos)	390,9 μ s	0,9 μ s
	P:Indir. (Bit)	390,9 μ s	0,9 μ s

Instrucciones aritméticas

Instrucciones aritméticas (Acumulador)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
INC	V:Reg Datos	48,5 µs	1,0 µs
	V:Reg bits	48,5 µs	1,0 µs
	P:Indir. (Datos)	74,7 µs	1,0 µs
	P:Indir. (Bit)	74,7 µs	1,0 µs
DEC	V:Reg Datos.	47,5 µs	1,0 µs
	V:Reg bits	47,5 µs	1,0 µs
	P:Indir. (Datos)	71,5 µs	1,0 µs
	P:Indir. (Bit)	71,5 µs	1,0 µs
INCB	V:Reg Datos.	13,2 µs	1,0 µs
	V:Reg bits	13,2 µs	1,0 µs
	P:Indir. (Datos)	38,6 µs	0,9 µs
	P:Indir. (Bit)	38,6 µs	0,9 µs
DECB	V:Reg Datos.	13,2 µs	1,0 µs
	V:Reg bits	13,2 µs	1,0 µs
	P:Indir. (Datos)	38,0 µs	0,9 µs
	P:Indir. (Bit)	38,0 µs	0,9 µs
ADDB	V:Reg Datos.	24,9 µs	1,0 µs
	V:Reg bits	24,9 µs	1,0 µs
	K:Constante	23,5 µs	1,0 µs
	P:Indir. (Datos)	51,1 µs	1,0 µs
	P:Indir. (Bit)	51,1 µs	1,0 µs
ADDBD	V:Reg Datos.	24,4 µs	1,0 µs
	V:Reg bits	24,4 µs	1,0 µs
	K:Constante	20,7 µs	1,0 µs
	P:Indir. (Datos)	50,7 µs	1,0 µs
	P:Indir. (Bit)	50,7 µs	1,0 µs
SUBB	V:Reg Datos.	24,7 µs	1,0 µs
	V:Reg bits	24,7 µs	1,0 µs
	K:Constante	23,3 µs	1,0 µs
	P:Indir. (Datos)	50,6 µs	1,0 µs
	P:Indir. (Bit)	50,6 µs	1,0 µs
SUBBD	V:Reg Datos.	24,2 µs	1,0 µs
	V:Reg bits	24,2 µs	1,0 µs
	K:Constante	20,2 µs	1,0 µs
	P:Indir. (Datos)	50,2 µs	1,0 µs
	P:Indir. (Bit)	50,2 µs	1,0 µs
MULB	V:Reg Datos.	10,8 µs	1,0 µs
	V:Reg bits	10,8 µs	1,0 µs
	K:Constante	8,2 µs	1,0 µs
	P:Indir. (Datos)	37,1 µs	1,0 µs
	P:Indir. (Bit)	37,1 µs	1,0 µs
DIVB	V:Reg Datos.	28,7 µs	1,0 µs
	V:Reg bits	28,7 µs	1,0 µs
	K:Constante	26,1 µs	1,0 µs
	P:Indir. (Datos)	54,9 µs	1,0 µs
	P:Indir. (Bit)	54,9 µs	1,0 µs
ADDR	V:Reg Datos.	48,1 µs	1,0 µs
	V:Reg bits	48,1 µs	1,0 µs
	K:Constante	41,7 µs	1,0 µs
	P:Indir. (Datos)	74,3 µs	1,0 µs
	P:Indir. (Bit)	74,3 µs	1,0 µs

Apéndice C: Tiempos de ejecución de instrucciones

Instrucciones aritméticas (Acumulador)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
SUBR	V:Reg Datos.	50,1 μ s	1,0 μ s
	V:Reg bits	50,1 μ s	1,0 μ s
	K:Constante	58,7 μ s	1,0 μ s
	P:Indir. (Datos)	76,3 μ s	1,0 μ s
	P:Indir. (Bit)	76,3 μ s	1,0 μ s
MULR	V:Reg Datos.	54,2 μ s	1,0 μ s
	V:Reg bits	54,2 μ s	1,0 μ s
	K:Constante	42,7 μ s	1,0 μ s
	P:Indir. (Datos)	80,4 μ s	1,0 μ s
	P:Indir. (Bit)	80,4 μ s	1,0 μ s
DIVR	V:Reg Datos.	50,1 μ s	1,0 μ s
	V:Reg bits	50,1 μ s	1,0 μ s
	K:Constante	58,7 μ s	1,0 μ s
	P:Indir. (Datos)	76,3 μ s	1,0 μ s
	P:Indir. (Bit)	76,3 μ s	1,0 μ s
ADDF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	109,3 μ s + 0,9 μ s x N	1,0 μ s
SUBF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	107,3 μ s + 0,9 μ s x N	1,0 μ s
MULF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	352,5 μ s + 0,9 μ s x N	1,0 μ s
DIVF	1o.: X, Y, C, S T, CT, SP, GX, GY 2ndo.: K:Constante	477,3 μ s + 0,8 μ s x N	1,0 μ s
ADDS	None	99,5 μ s	1,0 μ s
SUBS	Ninguno	97,5 μ s	1,0 μ s
MULS	Ninguno	342,5 μ s	1,0 μ s
DIVS	Ninguno	467,3 μ s	1,0 μ s
ADDBS	Ninguno	24,3 μ s	1,0 μ s
SUBBS	Ninguno	23,7 μ s	1,0 μ s
MULBS	Ninguno	11,7 μ s	1,0 μ s
DIVBS	Ninguno	29,7 μ s	1,0 μ s
SQRTR	Ninguno	87,9 μ s	1,0 μ s
SINR	Ninguno	226,8 μ s	1,0 μ s
COSR	Ninguno	213,1 μ s	1,0 μ s
TANR	Ninguno	285,5 μ s	1,0 μ s
ASINR	Ninguno	489,8 μ s	1,0 μ s
ACOSR	Ninguno	508,3 μ s	1,0 μ s
ATANR	Ninguno	317,1 μ s	1,0 μ s

Instrucciones diferenciales

Instrucciones diferenciales		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
PD	X, Y, C	14,4 µs	14,4 µs
STRPD	X, Y, C, S, T, CT	5,4 µs	5,4 µs
STRND	X, Y, C, S, T, CT	7,3 µs	7,3 µs
ORPD	X, Y, C, S, T, CT	6,8 µs	5,2 µs
ORND	X, Y, C, S, T, CT	7,1 µs	4,9 µs
ANDPD	X, Y, C, S, T, CT	6,8 µs	5,2 µs
ANDND	X, Y, C, S, T, CT	7,1 µs	4,9 µs

Instrucciones de bits

Instrucciones de bits (Acumulador)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
SUM	Ninguno	6,7 µs	1,0 µs
SHFR	V:Reg Datos. (N bits)	12,1 µs + 0,1 x N	0,9 µs
	V:Reg bits (N bits) K:Constante (N bits)	8,4 µs + 0,1 x N	
SHFL	V:Reg Datos. (N bits)	12,1 µs + 0,1 x N	0,9 µs
	V:Reg bits (N bits) K:Constante (N bits)	8,4 µs + 0,1 x N	
ROTR	V:Reg Datos. (N bits)	16,4 µs	1,0 µs
	V:Reg bits (N bits)	16,4 µs	1,0 µs
	K:Constante (N bits)	12,9 µs	1,0 µs
ROTL	V:Reg Datos. (N bits)	16,4 µs	1,0 µs
	V:Reg bits (N bits)	16,4 µs	1,0 µs
	K:Constante (N bits)	12,7 µs	1,0 µs
ENCO	Ninguno	33,9 µs	0,9 µs
DECO	Ninguno	5,7 µs	1,0 µs

Instrucciones de conversión de números

Instrucciones de conversión de números		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
BIN	Ninguno	100,2 µs	0,9 µs
BCD	Ninguno	95,2 µs	0,9 µs
INV	Ninguno	2,5 µs	1,0 µs
BCDPL	Ninguno	75,6 µs	1,0 µs
ATH	V	25,4 µs	1,0 µs
HTA	V	25,4 µs	1,0 µs
GRAY	Ninguno	110,8 µs	1,0 µs
SFLDGT	Ninguno	23,1 µs	1,0 µs
BTOR	Ninguno	18,6 µs	1,0 µs
RTOB	Ninguno	8,6 µs	1,0 µs
RADR	Ninguno	51,4 µs	1,0 µs
DEGR	Ninguno	81,5 µs	1,0 µs

Instrucciones de tablas de memorias

Instrucciones de tablas		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
MOV	Move V:Reg Datos. a V:Reg Datos Move V:Reg bits a V:Reg Datos Move V:Reg Datos. a V:Reg bits Move V:Reg bits a V:Reg bits N=# de palabras	60,2 µs+9,5 x N	0,9 µs
MOVMC	Move V:Reg Datos a E ² Move V:Reg bits a E ² Move desde E ² a V:Reg Datos Move desde E ² s a V:Reg bits N= #de palabras	35 µs + 10,4 µs x N	0,9 µs
LDLBL	K	6,4 µs	1,3 µs
FILL	V: Reg Datos V:Reg bits	29,4 µs + 8,0 µs x N	1,0 µs
	K:Constante	26,2 µs + 8,0 µs x N	1,0 µs
	P:Indir. (Datos) P:Indir. (bit)	55,1 µs + 8,0 µs x N	1,0 µs
FIND	V: Reg Datos (N bits)	66,8 µs	1,0 µs
	V:Reg bits (N bits)	66,8 µs	1,0 µs
	K:Constante(N bits)	64,0 µs	1,0 µs

Instrucciones de tablas (cont.)		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
FDGT	V: Reg Datos (N bits)	66,1 µs	1,0 µs
	V:Reg bits (N bits)	66,1 µs	1,0 µs
	K:Constante(N bits)	55,2 µs	1,0 µs
FINDB	V: Reg Datos (N bits)	210,8 µs	1,0 µs
	V:Reg bits (N bits)	210,8 µs	1,0 µs
	P:Indir. (Datos)	237,0 µs	1,0 µs
	P:Indir. (Bit)	237,0 µs	1,0 µs
TTD	V: Reg Datos	66,9 µs	1,0 µs
	V:Reg bits	66,9 µs	1,0 µs
RFB	V: Reg Datos	66,8 µs	1,0 µs
	V:Reg bits	66,8 µs	1,0 µs
STT	V: Reg Datos	67,8 µs	1,0 µs
	V:Reg bits	67,8 µs	1,0 µs
	K:Constante	65,0 µs	1,0 µs
RFT	V: Reg Datos	51,1 µs	1,0 µs
	V:Reg bits	51,1 µs	1,0 µs
ATT	V: Reg Datos	53,5 µs	1,0 µs
	V:Reg bits	53,5 µs	1,0 µs
	K:Constante	50,8 µs	1,0 µs
TSHFL	V: Reg Datos	134,0 µs	1,0 µs
	V:Reg bits	134,0 µs	1,0 µs
TSHFR	V: Reg Datos	133,9 µs	1,0 µs
	V:Reg bits	133,9 µs	1,0 µs
ANDMOV	V: Reg Datos	80,2 µs	1,0 µs
	V:Reg bits	80,2 µs	1,0 µs
ORMOV	V: Reg Datos	80,4 µs	1,0 µs
	V:Reg bits	80,4 µs	1,0 µs
XORMOV	V: Reg Datos	80,4 µs	1,0 µs
	V:Reg bits	80,4 µs	1,0 µs
SWAP	V: Reg Datos	84,1 µs	1,0 µs
	V:Reg bits	84,1 µs	1,0 µs
SETBIT	V: Reg Datos (N bits)	59,5 µs	1,0 µs
	V:Reg bits (N bits)	59,5 µs	1,0 µs
RSTBIT	V: Reg Datos (N bits)	59,5 µs	1,0 µs
	V:Reg bits (N bits)	59,5 µs	1,0 µs

Instrucciones de control de la CPU

Instrucciones de control de la CPU		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
NOP	Ninguno	1,1 µs	1,1 µs
END	Ninguno	24,0 µs	24,0 µs
STOP	Ninguno	10,0 µs	1,1 µs
RSTWT	Ninguno	5,9 µs	2,2 µs

Instrucciones de control del programa

Instrucciones de control del programa		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
GOTO	K	5,1 µs	4,8 µs
LBL	K	5,7 µs	0,0 µs
FOR	V, K	125,9 µs	14,5 µs
NEXT	Ninguno	64,4 µs	64,4 µs
GTS	K	27,5 µs	14,8 µs
SBR	K	1,5 µs	1,5 µs
RTC	Ninguno	25,7 µs	12,1 µs
RT	Ninguno	21,2 µs	21,2 µs
MLS	K	(1-7) 35,2 µs	35,2 µs
MLR	K	(0-7) 30,9 µs	30,9 µs

Instrucciones de interrupción

Instrucciones de interrupción		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
ENI	Ninguno	24,2 µs	2,7 µs
DISI	Ninguno	9,4 µs	2,3 µs
INT	O(0,1)	7,5 µs	-
IRTC	Ninguno	0,9 µs	1,3 µs
IRT	Ninguno	6,6 µs	-

Instrucciones de red de comunicación

Instrucciones de red		DL06	
Instrucción	Tipos de datos legales	Ejecución	Sin ejecución
RX	X, Y, C, T, CT, SP, S, \$	852,0 µs	4,4 µs
	V:Reg Datos.	852,0 µs	4,4 µs
	V:Reg bits	852,0 µs	4,4 µs
	P:Indir. (Datos)	868,2 µs	4,2 µs
	P:Indir. (Bit)	868,2 µs	4,2 µs
WX	X, Y, C, T, CT, SP, S, \$	1614,0 µs	4,4 µs
	V:Reg Datos.	1614,0 µs	4,4 µs
	V:Reg bits	1614,0 µs	4,4 µs
	P:Indir. (Datos)	1630,0 µs	4,4 µs
	P:Indir. (Bit)	1630,0 µs	4,4 µs

Instrucciones de entradas y salidas inteligentes

Instrucciones de red		DL06	
Instrucción	Tipos de datos legales	Ejecución	Sin ejecución
RD	V:Reg Datos.	385,7 μ s	1,2 μ s
	V:Reg bits	385,7 μ s	1,2 μ s
WT	V:Reg Datos.	385,6 μ s	1,2 μ s
	V:Reg bits	385,6 μ s	1,2 μ s

Instrucciones de mensajes

Instrucciones de mensaje		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
FAULT	V:Reg Datos.	65,0 μ s	4,4 μ s
	V:Reg bits	65,0 μ s	4,4 μ s
	K:Constante	204,7 μ s	4,4 μ s
DLBL	K	–	–
NCON	K	–	–
ACON	A	–	–
PRINT	ASCII	631,0 μ s	3,6 μ s

Instrucciones RLL *plus*

Instrucciones RLL ^{plus}		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
ISG	S	44,0 μ s	41,1 μ s
SG	S	44,0 μ s	41,1 μ s
JMP	S	76,0 μ s	9,3 μ s
NJMP	S	77,4 μ s	9,3 μ s
CV	S	42,1 μ s	27,5 μ s
CVJMP	S	89,5 μ s	17,6 μ s
BCALL	C	22,1 μ s	22,6 μ s
BLK	C	17,1 μ s	14,6 μ s
BEND	Ninguno	8,7 μ s	0,0 μ s

Instrucciones Drum

Instrucciones Drum		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
DRUM	CT	840,0 μ s	339,6 μ s
EDRUM	CT	753,2 μ s	357,0 μ s
MDRMD	CT	411,3 μ s	216,4 μ s
MDRMW	CT	378,6 μ s	147,0 μ s

Instrucciones de fecha y hora

Instrucciones de fecha y hora		DL06	
Instrucción		Ejecución	Sin ejecución
DATE	V:Reg Datos. V:Reg bits	24,0 µs	1,2 µs
TIME	V:Reg Datos. V:Reg bits	50,8 µs	1,2 µs

Instrucciones MODBUS

Instrucciones MODBUS		DL06	
Instrucción		Ejecución	Sin ejecución
MRX	Input, Input Register Coil, Holding Register	120,2 µs	1,3 µs
MWX	Input, Input Register Coil, Holding Register	21,3 µs	1,3 µs

Instrucciones ASCII

Instrucciones ASCII		DL06	
Instrucción	Tipos legales de datos	Ejecución	Sin ejecución
AIN	V	13,9 µs	12,0 µs
AFIND	V	111,5 µs	1,3 µs
AEX	V	111,7 µs	1,3 µs
CMPV	V	12,2 µs	1,3 µs
SWAPB	V	109,8 µs	1,3 µs
VPRINT	Datos de texto	161,6 µs	1,3 µs
PRINTV	V	163,3 µs	1,3 µs
ACRB	V	3,9 µs	1,1 µs